

SEMICONDUCTOR DEVICE

Patent Number: JP10154391
Publication date: 1998-06-09
Inventor(s): TACHIBANA RIICHI; SAKAI TAKESHI; NAKAGOME YOSHINOBU
Applicant(s): HITACHI LTD;; HITACHI DEVICE ENG CO LTD
Requested Patent: JP10154391
Application Number: JP19970248172 19970912
Priority Number(s):
IPC Classification: G11C11/409; G11C11/413; H03K19/0175
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent the speed of data output from being lowered by providing a boosting circuit even in the gate of a MOS transistor for low level output or reduce the effect of the floating of a VSSO.

SOLUTION: The lowering of the speed due to the floating of the VSSO is suppressed by raising the level of an internal node N4 being the gate of an NMOS2 to the level of not lower than a power source voltage VCC while providing a boosting circuit BST2 producing the gate signal of a transistor NMOS2 for low level output. That is, it is prevented that the potential difference between the gate of the MOS transistor NMOS2 for low level output and the grounding wiring is remarkably reduced by the driving signal of a boosted level even when the float-up of the potential of the grounding wiring is generated and a signal having a sufficient level is applied to the gate of the NMOS2. As a result, the delay of the switching operation of the NMOS2 is reduced and the operating speed of a circuit is speeded up.

Data supplied from the esp@cenet database - I2

AL

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-154391

(43) 公開日 平成10年(1998)6月9日

(51) Int.Cl.
 G 11 C 11/409
 11/413
 H 03 K 19/0175

識別記号

F 1
 G 11 C 11/34
 354Q
 335A
 H 03 K 19/00
 101P

審査請求 未請求 請求項の数34 OL (全 15 頁)

(21) 出願番号 特願平9-248172
 (22) 出願日 平成9年(1997)9月12日
 (31) 優先権主張番号 特願平8-258277
 (32) 優先日 平8(1996)9月30日
 (33) 優先権主張国 日本 (JP)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (71) 出願人 000233088
 日立デバイスエンジニアリング株式会社
 千葉県茂原市早野3681番地
 (72) 発明者 立花 利一
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内
 (72) 発明者 境 武志
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内
 (74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体装置

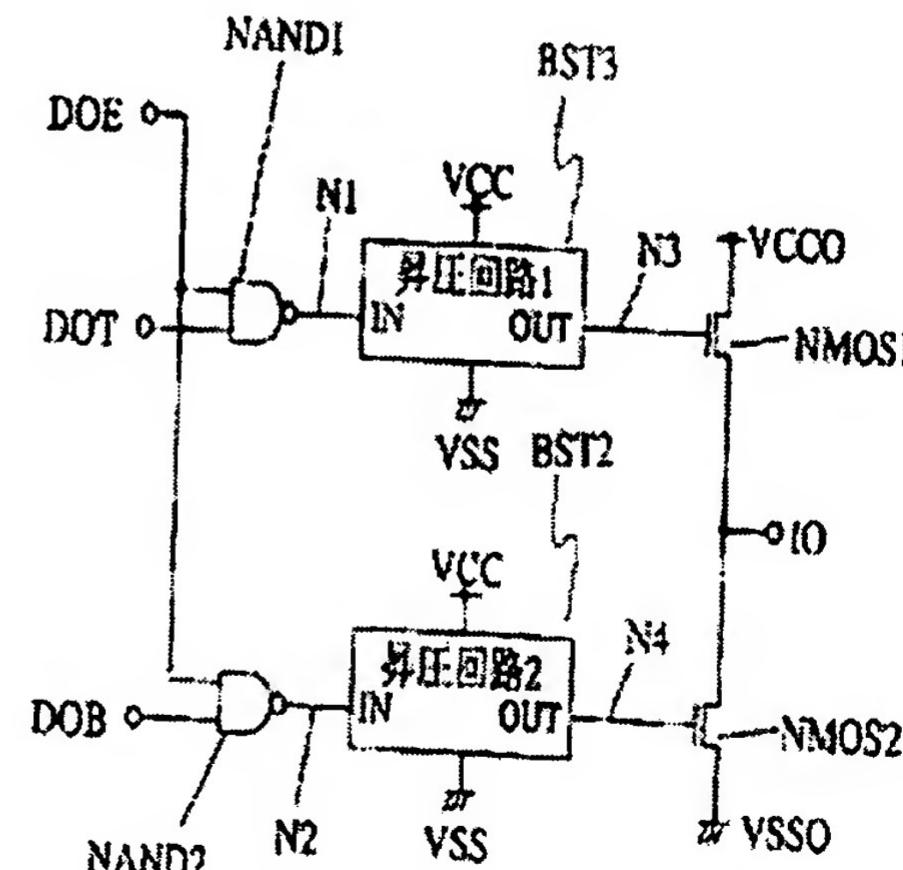
(57) 【要約】

【課題】 半導体記憶装置の種々な複数の種打つ力回路を持つ半導体装置において、グランド配線に生じる電圧降下によって、グランド用ボンディングパッドから離れた位置の出力回路側のグランド電位に浮きが生ずる。グランド電位の浮き上がりは、出力回路を構成するMOSトランジスタのスイッチ応答に悪影響を及ぼし、結果として出力回路の動作速度の低下という問題をもたらす。

【解決手段】 出力回路のロウレベル出力用のMOSトランジスタのゲートに昇圧回路によって形成されたような昇圧レベルの駆動信号を印加する。

【効果】 グランド配線に電位の浮き上がりが生じても、昇圧レベルの駆動信号によって、ロウレベル出力用のMOSトランジスタのゲートとグランド配線との間の電位差の大幅な減少を防ぐことができ、ロウレベル出力用の出力MOSトランジスタのゲートに十分なレベルの信号を与えることができるようになる。その結果、出力MOSトランジスタのスイッチ動作の遅れを減少でき、回路を高速化できる。

図1



【特許請求の範囲】

【請求項 1】出力端子と、そのソースに電源端子を介しての動作電圧が与えられかつそのドレインによって上記出力端子に出力信号を与えるようにそのソース・ドレイン通路が上記電源端子と上記出力端子との間に設けられてなる第1出力MOSトランジスタと、上記第1出力MOSトランジスタのゲートに供給すべき駆動信号を形成する第1振幅変換回路とを含む出力回路を持ち、上記第1振幅変換回路は、電圧昇圧動作に基づいて形成される昇圧電圧を、振幅変換すべき入力信号に応答してスイッチ出力するスイッチ素子を含み、上記第1出力MOSトランジスタを導通方向に駆動せしめる信号レベルを上記昇圧電圧に基づいて形成される信号レベルとする、ことを特徴とする半導体装置。

【請求項 2】請求項 1に記載の半導体装置において、上記第1振幅変換回路は、容量素子と、かかる容量素子の端子間に充電電圧を与える第1状態とかかる容量素子の一方の電極に駆動電圧を与えることによりかかる容量素子の他方の電極に昇圧電圧をもたらす第2状態とをとる昇圧回路を含んでなる、ことを特徴とする半導体装置。

【請求項 3】請求項 2に記載の半導体装置において、上記昇圧回路は上記振幅変換されるべき入力信号によって上記スイッチ素子と同期して動作されるものである、ことを特徴とする半導体装置。

【請求項 4】請求項 1に記載の半導体装置は、さらに外部電源電圧を受けてそれよりも小さい電圧である第1動作電圧を形成する降圧回路と、上記降圧回路からの上記動作電圧によって動作されるMOSトランジスタを含む内部回路と、を備えてなり、上記第1振幅変換回路は、上記内部回路から出力される信号をその入力信号とするものである、ことを特徴とする半導体装置。

【請求項 5】請求項 4に記載の半導体装置において、上記第1振幅変換回路は、容量素子と、かかる容量素子の端子間に充電電圧を与える第1状態とかかる容量素子の一方の電極に駆動電圧を与えることによりかかる容量素子の他方の電極に昇圧電圧をもたらす第2状態とをとる昇圧回路を含んでなる、ことを特徴とする半導体装置。

【請求項 6】請求項 5に記載の半導体装置において、上記昇圧回路は上記振幅変換されるべき入力信号によって上記スイッチ素子と同期して動作されるものである、ことを特徴とする半導体装置。

【請求項 7】請求項 5および請求項 6のうちのひとつに記載の半導体装置において、上記昇圧回路は、上記降圧回路からの上記動作電圧によって動作されるCMOS回路によって上記容量素子の一方の電極に加えるべき上記駆動電圧を形成するようにされている、ことを特徴とする半導体装置。

【請求項 8】請求項 7に記載の半導体装置において、上記CMOS回路は、CMOSインバータ回路からなる、ことを特徴とする半導体装置。

【請求項 9】請求項 5ないし請求項 8のうちのひとつに記載の半導体装置において、上記昇圧回路は、上記電源端子を介しての上記動作電圧によって動作されるCMOS回路によって上記容量素子の一方の電極に加えるべき上記駆動電圧を形成するようになされている、ことを特徴とする半導体装置。

【請求項 10】請求項 1ないし請求項 9のうちのひとつに記載の半導体装置において、上記第1出力トランジスタは、そのソースが回路の基準電位点側の第1電源端子に結合されたnチャンネル型MOSトランジスタからなり、上記第1振幅変換回路は、上記基準電位に対してプラス電位である昇圧電圧を形成するように構成されてなる、ことを特徴とする半導体装置。

【請求項 11】請求項 10に記載の半導体装置において、上記出力回路は、そのソースに第2電源端子を介して上記基準電位点に対し正の電源電位が与えられる状態をもって上記第2電源端子と上記出力端子との間にそのソース・ドレイン通路が設けられるnチャンネル型MOSトランジスタからなる第2出力MOSトランジスタと、上記第2出力MOSトランジスタのゲートに供給すべき第2駆動信号を形成する第2振幅変換回路とをさらに含み、

上記第2振幅変換回路は、上記第2出力MOSトランジスタの導通を強める方向の電位である昇圧電圧を形成するように構成されてなる、ことを特徴とする半導体装置。

【請求項 12】請求項 10に記載の半導体装置において、上記第1振幅変換回路と上記第2振幅変換回路は、ともに上記振幅変換すべき入力信号に応答してそれぞれの昇圧電圧を形成するもの、であることを特徴とする半導体装置。

【請求項 13】請求項 10に記載の半導体装置において、上記出力回路は、そのドレインが第2電源端子に接続されそのソースから上記出力端子へ出力信号を与えるnチャンネル型MOSトランジスタからなる第2出力トランジスタと、上記第2出力トランジスタのゲートに供給すべき第2駆動信号を形成する第2振幅変換回路とを更に含み、

上記第2振幅変換回路は、上記第2出力トランジスタの導通を強める方向の電位である昇圧電圧を形成するように構成されてなる、ことを特徴とする半導体装置。

【請求項 14】請求項 4ないし請求項 9のうちのひとつに記載の半導体装置において、

上記第1出力トランジスタは、そのソースが回路の基準電位点側の第1電源端子に結合されたnチャンネル型MOSトランジスタからなり、上記第1振幅変換回路は、上記基準電位に対してプラス電位である昇圧電圧を形成するように構成されてなる、ことを特徴とする半導体装置。

【請求項15】 請求項14に記載の半導体装置において、

上記出力回路は、そのソースに第2電源端子を介して上記基準電位点に対し正の電源電位が与えられる状態をもって上記第2電源端子と上記出力端子との間にそのソース・ドレイン通路が設けられるnチャンネル型MOSトランジスタからなる第2出力MOSトランジスタと、上記第2出力MOSトランジスタのゲートに供給すべき第2駆動信号を形成する第2振幅変換回路とをさらに含み、

上記第2振幅変換回路は、上記第2出力MOSトランジスタの導通を強める方向の電位である昇圧電圧を形成するように構成されてなる、ことを特徴とする半導体装置。

【請求項16】 請求項14に記載の半導体装置において、

上記第1振幅変換回路と上記第2振幅変換回路は、ともに上記振幅変換すべき入力信号に応答してそれぞれの昇圧電圧を形成するもの、であることを特徴とする半導体装置。

【請求項17】 請求項14に記載の半導体装置において、

上記出力回路は、そのドレインが第2電源端子に接続されそのソースから上記出力端子へ出力信号を与えるnチャンネル型MOSトランジスタからなる第2出力トランジスタと、上記第2出力トランジスタのゲートに供給すべき第2駆動信号を形成する第2振幅変換回路とを更に含み、

上記第2振幅変換回路は、上記第2出力トランジスタの導通を強める方向の電位である昇圧電圧を形成するように構成されてなる、ことを特徴とする半導体装置。

【請求項18】 請求項14ないし請求項17のうちのひとつに記載の半導体装置において、

上記出力トランジスタは、そのゲート酸化膜が、上記内部回路を構成するMOSトランジスタよりも高耐圧であることを特徴とする半導体装置。

【請求項19】 内部回路と、上記内部回路からの信号をその入力に受ける出力回路とを有する半導体装置であつて、

上記内部回路には第1電源接続点と第2電源接続点とを介して電源が供給され、

上記出力回路は、第3電源接続点と第4電源接続点との間に直列接続された第1導電型の第1及び第2MOSトランジスタと、

上記第1MOSトランジスタと第2MOSトランジスタとの共通接続ノードに接続される出力端子と、

上記第1電源接続点の電位と上記第2電源接続点の電位との間の電圧振幅を持つ第1信号を上記内部回路から受けて、上記第1MOSトランジスタのゲートを駆動するための第2信号に変換する第1振幅変換回路と、上記内部回路からの上記第1信号を受けて、上記第2MOSトランジスタのゲートを駆動するための第3信号に変換する第2振幅変換回路とを備え、

上記第2及び第3信号の振幅は、上記第1信号のそれよりも大きいことを特徴とする半導体装置。

【請求項20】 請求項19に記載の半導体装置において、

上記第2電源接続点の電位と上記第4電源接続点の電位とが等しいことを特徴とする半導体装置。

【請求項21】 請求項20に記載の半導体装置において、

上記第2及び第3信号のロウレベルは、上記第1信号のロウレベルに等しいことを特徴とする半導体装置。

【請求項22】 請求項21に記載の半導体装置において、

上記第1及び第2振幅変換回路は、容量によりタイナミックに電位レベルを昇圧する昇圧回路を有することを特徴とする半導体装置。

【請求項23】 請求項22に記載の半導体装置において、

上記第1電源接続点の電位と上記第3電源接続点の電位とが等しいことを特徴とする半導体装置。

【請求項24】 請求項22に記載の半導体装置において、

上記第3電源接続点には上記半導体装置の外部から電源電圧が供給され、上記第1電源接続点の電位は上記第3電源接続点の電位を受ける上記半導体装置内の降圧回路によって上記第3電源接続点の電位から形成されることを特徴とする半導体装置。

【請求項25】 内部回路と上記内部回路からの信号をその入力に受ける出力回路とを有する半導体装置であつて、上記出力回路は、第3電源接続点と第4電源接続点との間に直列接続された第1導電型の第1MOSトランジスタと、第2導電型の第2MOSトランジスタと、上記第1MOSトランジスタと上記第2MOSトランジスタとの共通接続ノードに接続される出力端子と、上記第1電源接続点の電位と上記第2電源接続点の電位との間の電圧振幅を持つ第1信号を上記内部回路から受けて上記第1MOSトランジスタのゲートを駆動するための第2信号に変換する第1振幅変換回路と、上記内部回路からの上記第1信号を受けて上記第2MOSトランジスタのゲートを駆動するための第3信号に変換する第2振幅変換回路とを備えてなり、

上記第2及び第3信号の電圧振幅は上記第1信号のそれ

よりも大きいことを特徴とする半導体装置。

【請求項 26】 請求項 25に記載の半導体装置において、

上記第1電源接続点の電位と上記第3電源接続点の電位とが等しく、上記第2電源接続点の電位と上記第4接続点の電位とが等しいことを特徴とする半導体装置。

【請求項 27】 請求項 26に記載の半導体装置において、

上記第2信号のハイレベルは上記第1信号のハイレベルと等しく。

上記第3信号のロウレベルは上記第1信号のロウレベルと等しいことを特徴とする半導体装置。

【請求項 28】 請求項 27に記載の半導体装置において、

容量によりダイナミックに電位レベルを昇圧する昇圧回路を有することを特徴とする半導体装置。

【請求項 29】 請求項 19に記載の半導体装置において、

上記第2、第3信号振幅レベルの信号がゲートに加えられる第1、第2導電型のMOSトランジスタは、そのゲート酸化膜が、上記内部回路を構成するMOSトランジスタよりも高耐圧であることを特徴とする半導体装置。

【請求項 30】 請求項 25に記載の半導体装置において、

上記第2、第3信号振幅レベルの信号がゲートに加えられる第1、第2導電型のMOSトランジスタは、そのゲート酸化膜が、上記内部回路を構成する第1、第2導電型MOSトランジスタよりも高耐圧であることを特徴とする半導体装置。

【請求項 31】 請求項 19及び請求項 20のうちのひとつに記載の半導体装置において、

上記第1、第2振幅変換回路は、チップ内もしくはチップ外で発生した上記第3電源接続点の電位よりも高い第5電源接続点の電位、上記第4電源接続点の電位よりも低い第6電源接続点の電位を用いる手段を有する、ことを特徴とする半導体装置。

【請求項 32】 請求項 31に記載の半導体装置において、

上記第2信号のロウレベルは上記第4電源接続点の電位と等しく。

上記第3信号のハイレベルは上記第3電源接続点の電位と等しいことを特徴とする半導体装置。

【請求項 33】 請求項 31に記載の半導体装置において、

上記第2信号と上記第3信号は、そのハイレベル、ロウレベルが等しいことを特徴とする半導体装置。

【請求項 34】 請求項 26に記載の半導体装置において、

上記第2信号のロウレベルは上記第1信号のロウレベルと等しく。

上記第3信号のハイレベルは上記第1信号にハイレベルと等しいことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置における出力回路のような半導体集積回路における出力回路の高速化に関するものである。更に詳しくは、多ビット出力端子を持つ大容量ダイナミックランダムアクセスメモリの出力回路に関するものである。

【0002】 図6は、本願に先立って本願発明者により検討された出力回路の回路図であり、図7は、図6でブラックボックス表示された昇圧回路の回路図である。また、図8は、図6の出力回路の動作波形図である。ただし、各図において説明の簡略化のために、本発明に直接関係のないところは、その詳細な表示は省いている。

【0003】 VCCO（例えば5Vまたは3.3V）は外部から供給される電源電圧、VCCは外部もしくはチップ内の昇圧回路BST1から供給される電源電圧（例えば3.3V）、VSS、VSSOは外部から供給されるグランド電源電圧（例えば0V）である。特に制限されないが、VCCとVSSは一つの電源から出力される一対の電源電位の内の一方の電源電位と他方の電源電位とみなされ、またVCCOとVSSOは、同様に一対の電源電位一つの電源から出力される一対の電源電位の内の一方の電源電位と他方の電源電位とみなされる。それらVCC、VSS、VCCO、VSSOは、第1、第2、第3、第4電源電位と呼ぶこともある。なお、VSSとVSSOとは、それらの相互が共通接続されている場合も、逆に分離されている場合もあり得る。

【0004】 DOEは出力回路の出力制御信号、DOT、DOBは出力回路から出力すべきデータを形成するための出力回路への入力データ、IOは出力端子である。NAND1、NAND2はNAND回路、INV1はインバータ回路、NMOS1、NMOS2はnチャンネル型MOSトランジスタ（以下、nMOSと記す）、N1、N2、N3、N4は内部ノードである。

【0005】 昇圧回路1はノードN1がロウレベル、つまりVSSになったとき、ノードN3の信号レベルをVCC以上に昇圧し、これによりNMOS1から出力端子IOへ出力される信号のハイレベルを所定のハイレベル（VOH）以上にせしめるための回路である。なお、ノードN1がハイレベルつまりVCCになったときはノードN3にグランド電源電位VSSレベルのロウレベルが出力される。この昇圧回路1は、例えば図7のような回路がありチャージポンプ回路とも呼ばれる。

【0006】 図7において、INは入力端子、OUTは出力端子、VCC、VSSは、それぞれ電源端子、グランド電源端子、INV1はインバータ回路、NMOSB1、NMOSB2はnMOS、PMOSB1はpチャンネル型MOSトランジスタ（以下、pMOSと記す）。

す)、C1はキヤバシタ、B1、B2は内部ノードである。なお、図7において、P型MOSトランジスタと特別できるよう矢印が追加された表示にされている。同図の回路において、入力INがハイレベルからロウレベルになると、ノードB1がVSSからVCCになり、C1のカップリングによりNMOSB2、NMOSB3によりVCCレベル程度にブリッヂされていたノードB2の電位がVCC以上のレベルになり、それに応じて出力OUTもVCC以上になる。逆に、入力INがロウレベルからハイレベルになるとNMOSB1がオンして出力OUTが、VSSレベルになる。

【0007】図6の出力回路において、出力データがロウレベルになるべきとき、つまり、DOT=ロウレベル、DOB=ハイレベルとなるべきときは、回路は図6のような信号を出力するように動作する。すなわち、まず入力データDOT、DOBのレベルが決まり、制御信号DOEがVSSレベルからVCCレベルになると、それに応じて内部ノードN2がVSSレベルになり、インバータINV1によってノードN4がVCCレベルになる。これにより、NMOS2がオンして出力IOがVSSに下がる。出力IOの出力データのロウレベルはNMOSすなわちNMOS2によって出力される。それに応じて、これまで、NMOS2のゲート電圧がVCCであればロウレベル出力を出力するのに問題があるとは思われていなかった。

【0008】出力データがハイレベルになるべきとき、つまり、DOT=ハイレベル、DOB=ロウレベルとなるべきときは、回路は図8の点線のような信号を形成するように動作する。すなわち、まず、入力データDOT、DOBのレベルが決まり、制御信号DOEがVCCレベルになると、それに応じて内部ノードN1がVSSレベルになり、昇圧回路1によりノードN3がVCC以上の電位になる。これにより、電源端子VCCO-出力IO間の出力トランジスタが図示のようにNMOS(NMOS1)であっても出力IOにVCC-VTH(ただし、VTHはNMOSのしきい値電圧)以上のレベルの出力データを出力することができる。

【0009】

【発明が解決使用とする発明】前記例では、チップ外部にデータを出力するとき、出力先の負荷(ボードの寄生容量等)やチップ内のVSS配線(グランド配線)の寄生抵抗等により、チップ上のVSS配線の遠端側すなわちチップ上に設けるVSS用ボンディングパッドから遠く離れたVSS配線部分でグランド電位が浮き、それにより実効的な電源電圧レベルが低減し、かかる遠端側の出力回路の動作が遅くなってしまう。以下にこの図6に示した方式の課題を示す。

【0010】図9は、タビット出力(例えば16ビット並列出力(X16))構成の大容量の記憶容量のダイナ

ミックランダム アクセスマモリ(DRAM)の出力回路の配置を模式的に示した図、図10はその波形図である。VSSO(P)、IO(N)、IO(F)はそれぞれチップ上に設けられチップ外部と電気的に接続されるべきボンディングパッドである。なお図においてVCCOのパッドは省略している。

【0011】VSSO(N)は、ボンディングパッドVSSO(P)につながるVSSO配線のうちのかかるVSSO(P)の近く(すなわち近端)の配線部分、VSSO(F)はかかるVSSO(P)から最も離れた(すなわち遠端)の配線部分である。RparはVSSO配線の寄生抵抗であり、VSSO(N)とVSS(F)との間の寄生抵抗である。各出力回路は模式的に示されているように、NMOS1、NMOS2、CNTから構成される。ここで、NMOS1はハイレベルを出力するMOSトランジスタ、NMOS2はロウレベルを出力するMOSトランジスタである。CNTはDOE、DOT、DOBを用いてNMOS1、NMOS2を制御する制御回路、N4はNMOS2を制御する制御信号である。なお、図10のVTHはNMOS2のしきい値電圧である。

【0012】16ビット並列出力構成の場合、16個の出力回路がVSSO配線を介してVSSO用ボンディングパッドVSSO(P)につながることとなる。そこで、図9の回路において、多くの出力回路がロウレベルを出力すると、各IOにつながる図示しない負荷に流れる電流によって図10のようにVSSO配線の遠端VSSO(F)でVSSO電位が浮いてしまうことになる。NMOS2は、信号N4とVSSO電位との差がVTH以上にならないとオンしないためVSSOが浮く(すなわち電位がLVから持ち上がる)ことに応じてその動作が遅くなり、遠端の出力回路と近端の出力回路との動作タイミングの差が大きくなり、データ出力の速度低下という問題が生じる。一方、VSSO配線のインピーダンスを下げて電位の浮きを防止するためには、比較的大きな電流をも許容するよう大きな面積の配線パターンとせざるを得なくなり、その配線により面積が増大し高集積DRAMのコスト化を妨げることとなる。

【0013】

【課題を解決するための手段】本発明は、前記の出力回路において、ロウレベルを出力するNMOS2のゲートである内部ノードN4を図11のように電源電圧VCC以上のレベルに上げることにより、VSSOの浮きによる速度の低下を抑える。内部ノードN4のレベルを増大させるためには、NMOS1のゲート信号を作る昇圧回路と基本的に同じ構成の回路を使うことができるし、違う回路でも良い。

【0014】このように、ロウレベルを出力するNMOS2を昇圧回路で昇圧することによりVSSOの浮きの影響を小さくし、それによって出力回路の高速化をする

ことを特徴とするものである。

【0015】本発明の一つの好適なものの概要は、内部回路と上記内部回路の出力データを出力するための出力回路を有する半導体装置であって、上記内部回路には第1電源接続点と第2電源接続点を介して第1電源が供給され、上記出力回路は、第3電源接続点と第4電源接続点との間に直列接続された第1導電型の第1及び第2MOSトランジスタと、上記第1MOSトランジスタと上記第2MOSトランジスタとの共通接続ノードに接続される出力端子と、上記第1電源接続点と第2電源接続点との間の電圧振幅を持つ第1信号を上記内部回路から受けて、上記第1MOSトランジスタのゲートを駆動するための第2信号に変換する第1振幅変換手段と、上記第1信号を上記内部回路から受けて、上記第2MOSトランジスタのゲートを駆動するための第3信号に変換する第2振幅変換手段とを備え、上記第2及び第3信号の電圧振幅は、上記第1信号のそれよりも大きいことを特徴とする半導体装置にある。

【0016】

【発明の実施の形態】以下に本発明の実施例を詳細に説明する。

【0017】図1に本発明の第1実施例の回路図を示し、図2にその制御信号の動作波形を示す。なお、図1の回路では、前述の図6の回路と同じ機能の部分には同一の名称を付けている。

【0018】図1の構成の特徴はロウレベル出力用のMOSトランジスタであるNMO S2のゲート信号にも昇圧回路BST2を設けたことである。このBST2は、例えば図7のような昇圧回路を使う。

【0019】以下、回路動作の説明を行うけれども、出力データがハイレベルとなるべきときは、つまり、DOT=ハイレベル、DOB=ロウレベルになるべきときの回路動作は、図6の回路のそれと同じとなるので、その説明を省略する。

【0020】出力データがロウレベルとなるべきときは、つまりDOT=ロウレベル、DOB=ハイレベルになるべきときは、出力回路は、図2の実線のようなレベル変化をもたらすように回路が動作をする。まず、入力データDOT、DOBのレベルがそれぞれロウレベル、ハイレベルに決まり、制御信号DOEがハイレベルの出力指示レベルないしは出力許可レベルになると、それに応じて内部ノードN2がロウレベルになり、昇圧回路BST2によってノードN4がVCC以上のハイレベルになる。これにより、VSSOに浮きが生じても回路の動作速度は低下しにくくなる。また、VSSOの配線として比較的インピーダンスの高いものが利用でき、半導体チップの面積低減がはかる。

【0021】図3に本発明の第2実施例の回路図を示し、図4に昇圧回路3の具体的回路例を示し、図5にその制御信号と動作波形を示している。なお、図3の回路

では、図1の第1実施例と同じ機能の部分には同一の名称を付けた。

【0022】図3の構成の特徴は、従来のCMOS型（コンプリメンタリMOS型）の出力回路では用いられなかった昇圧回路をハイレベル、ロウレベル出力用のMOSトランジスタのゲート入力信号のどちらにも用いたことである。これにともなって、図1のようなハイレベル出力用のnMOS（NMOS2）が図3の実施例ではpMOS（PMOS1）に変更され、また図1の昇圧回路1が図3において昇圧回路3に変更される。昇圧回路3は、内部ノードN1がロウレベル、つまりVSSにになったとき、内部ノードN3をVSS以下の負方向レベルに昇圧するための回路であり、例えば、図4のような回路構成とができる。これにより、VSSOの浮きだけでなく、VCCOの低下による回路動作速度の低下を防ぐことができるようになる。

【0023】出力データがロウレベルになるべきときは、つまりDOT=ロウレベル、DOB=ハイレベルになるべきときは、図3の回路は図5の実線の様に変化する信号を形成するよう動作する。

【0024】すなわち、まず、入力データDOT、DOBのレベルがそれぞれロウレベル、ハイレベルに決まり、制御信号DOEがハイレベルになると、それに応じて内部ノードN2がロウレベルになり、昇圧回路3によりNMOS2のゲートにつながるノードN4のレベルがVCC以上のハイレベルに持ち上げられる。これにより、VSSに浮きが生じても回路動作速度の低下は少なくすることができるようになる。

【0025】上とは逆に、出力データがハイレベルになるべきときは、つまりDOT=ハイレベル、DOB=ロウレベルになるべきときは、図3の回路は図5の点線の様に変化する信号を形成するよう動作する。

【0026】すなわち、まず、入力データDOT、DOBのレベルがハイレベル、ロウレベルに決まり、制御信号DOEがハイレベルになると、それに応じて内部ノードN1がロウレベルになり、昇圧回路3によりPMOS1のゲートにつながるノードN3のレベルもVSSレベル以下の負方向レベルに下げられる。これにより、VCCOに電圧低下が生じても回路動作速度の低下は少なくすることができるようになる。

【0027】図1に本発明の実施例を図9に示した多ビット構成のDRAMにおける出力回路の動作波形を示す。図6に示した回路の動作と比較すると、図1の場合には、同じ端端のVSSOの電位浮き上がりがあるが、回路動作速度の低下が少なくなることがわかる。

【0028】図12は本発明の第3実施例の回路図を示し、図13は図12における昇圧回路4（BST4）の具体的回路を示す回路図を示し、図14は図12における昇圧回路5（BST5）の具体的回路を示す回路図を示し、図15は、第3実施例の回路の動作波形図を示し

ている。なお、図12の回路図においても図6の回路と同じ機能の部分には同一の名称を付けている。

【0029】図12の実施例の構成の特徴は、ロウレベル出力用のnMOSであるNMOS2のゲートに加える信号を形成するために昇圧回路BST5を設けたこと、及び図示しない内部回路よりも高電圧が加わるハイレベル出力用のnMOSであるNMOS1と、ロウレベル出力用のnMOSであるNMOS2と、昇圧回路内の一ノードのMOSトランジスタに高耐圧のMOSトランジスタを用いたことにある。

【0030】これに伴って、図7のような昇圧回路5(BST1)は、図12の実施例では、図13のような昇圧回路4(BST4)に変更され、また図14のような昇圧回路5(BST5)が付加される。

【0031】昇圧回路4(BST4)は、ノードN1がロウレベルつまりVSSレベルになったとき、ノードN3をVCCO以上の高レベルにするための回路である。図13にはその具体回路例が示されている。

【0032】昇圧回路5(BST5)は、ノードN2がロウレベル、つまりVSSになったとき、ノードN4をVCCOレベル以上のレベルにするための回路である。図14には、その具体回路例が示されている。これによりVSSO電位の浮きによる速度の低下を防ぐことができるようになる。

【0033】図12の出力回路への各種入力信号DOE、DOT、DOBは、かかる出力回路とともに単結晶シリコンからなるような一つの半導体チップ上に形成される図示しない内部回路から供給される。半導体チップ上には、必要に応じてかかる内部回路とともに、3.3ボルトのような電圧値の外部電源電圧VCCOを受け、それよりも低い2.2ボルト、1.8ボルト又は1.5ボルトのような外部電圧値VCCOよりも低下された電圧値の降圧電圧を出力するところの図示しない降圧回路が形成される。降圧回路の出力(降圧電圧)は、内部回路の電源電圧として内部回路に供給される。

【0034】特に制限されないが、半導体チップは、nMOSとpMOSとを持つコンプリメンタリMOSトランジスタ構造をとる。図示しない内部回路を形成するためのnMOSおよびpMOSは、それぞれ比較的小さいしきい値電圧特性を持つように、それぞれのゲート電極とチャンネル形成領域との間に形成されるいわゆるゲート絶縁膜が、比較的薄い厚さを持つようにされる。

【0035】上記内部回路は、その動作電圧が上記降圧回路によって低下されることに応じて、その消費電力が低減される。すなわち、上記内部回路において、信号の透析時にnMOSとpMOSとの直列接続経路に流れてしまうような負通電流や、回路の種々の配線や素子に存在する浮遊容量、寄生容量のような負荷に流れる負荷電流に基づく消費電流は、その動作電圧の低下に伴って低減される。上記内部回路は、また、その動作電圧の低下

に伴う信号振幅の減少と、それを構成するnMOSおよびpMOSのしきい値電圧が比較的小さいものとされることによるかかるnMOSおよびpMOSのオン抵抗の低減によって、降圧回路から供給される比較的低い動作電圧のもとでも十分な高速動作が可能となる。

【0036】ここで、図示しない内部回路を構成するような比較的薄いゲート絶縁膜を持つMOSトランジスタは、半導体チップ上に半導体架橋回路製造技術によって基準となる最小加工精度をもって多数形成されるところのMOSトランジスタであり、いわば標準のMOSトランジスタとみなされるものである。標準のMOSトランジスタは、そのゲート絶縁膜が比較的薄い厚さであることによって比較的低いゲート耐圧しか持たない。そのため、標準のMOSトランジスタは、そのゲート・ドレン間に加わる比較的大きいレベルの電圧によってゲート絶縁膜が破壊されてしまうか又はゲート絶縁膜の特性が劣化してしまう危険性を持つ。

【0037】図12の出力回路におけるNMOS1、NMOS2、図13の昇圧回路BST4におけるNMOSB1、NMOSB3、PMOSB1、及び図14の昇圧回路BST5におけるNMOSB1、NMOSB3、PMOSB1は、高耐圧MOSトランジスタからなることが望ましいトランジスタである。

【0038】上記のような高耐圧MOSトランジスタとしては、例えば、図示しない内部回路を構成する比較的薄い厚さのゲート絶縁膜を持つといわば標準のMOSトランジスタに比べて、比較的厚い厚さのゲート絶縁膜TDXとされた厚膜TDX仕様MOSトランジスタを用いる。

【0039】なお、同一半導体チップ上において、降圧回路を構成する図示しないMOSトランジスタのようにVCCOが直接的に加わるようなMOSトランジスタもまた高耐圧仕様のMOSトランジスタから構成され得る次に、この第3実施例の回路の動作説明を行う。

【0040】出力データがロウレベルになるべきとき、つまり、DOT=ロウレベル、DOB=ハイレベルになるべきときには、図12の出力回路は、図15の実線のように変化する信号を形成するように動作する。

【0041】すなわち、まず出力の対象となる入力データDOT、DOBがそれぞれロウレベル、ハイレベルに決まり、制御信号DOEがハイレベルになると、それに応じて内部ノードN2がロウレベルになり、昇圧回路5(BST5)により、NMOS2のゲートが結合されているノードN4がVCCOレベル以上のレベルに持ち上げられる。これにより、VSSOに浮きが生じても回路の動作速度の低下は少なくできる。

【0042】出力データがハイレベルになるべきとき、つまり、DOT=ハイレベル、DOB=ロウレベルになるべきときは発明者らが先行して考へた図6のような回路の動作と類似であるのでその説明を省略する。

【0043】図16は本発明の第4実施例の回路図を示し、図17は図16にブラックボックス表示されている昇圧回路6(BST6)の具体的回路を示し、図18は昇圧回路7(BST7)の具体的回路を示している。図19は第4実施例の出力回路の制御信号と動作波形を示している。なお、図16の回路では、図6の回路と同じ機能の部分には同一の名称をつけている。

【0044】図15の構成の特徴は、今までのCMOS型の出力回路では用いられなかった昇圧回路を、ハイレベル、ロウレベル出力用のMOSトランジスタのゲートに加えるべき信号を形成するために用いたことと、他の回路よりも高電圧が加わるハイレベル出力用のMOSトランジスタ、ロウレベル出力用のMOSトランジスタ、及び昇圧回路内の1部のMOSトランジスタに高耐圧のMOSトランジスタを用いたことである。これにともなって図6のようなハイレベル出力用のnMOSであるNMOS2が、図16の実施例ではpMOSに変更され、昇圧回路1(BST1)が昇圧回路6(BST6)に変更され、さらに、昇圧回路7(BST7)が付加されている。

【0045】昇圧回路6(BST6)は、ノードN1がロウレベルになったとき、つまりVSSレベルになったとき、ノードN3をVSSOレベル以下にするための回路であり、例えば図17のような回路がある。これによりVCCOレベルの低下による速度の低下を防ぐことができるようになる。

【0046】昇圧回路7(BST7)は、ノードN2がロウレベルになったとき、つまりVSSレベルになったとき、ノードN4をVCCOレベル以上にするための回路であり、例えば図18のような回路がある。これによりVSSOレベルの浮きによる速度の低下を防ぐことができるようになる。

【0047】図16から図18に示された第4実施例において、PMOS1、NMOS2、昇圧回路6(BST6)におけるPMOSB1、NMOSB1、PMOSB3、昇圧回路7(BST7)におけるNMOSB3、PMOSB1、NMOSB1は、前述の第3実施例と同じく厚膜TOX仕様のMOSトランジスタ、すなわち高耐圧仕様のMOSトランジスタから構成される。高耐圧仕様のMOSトランジスタは、出力回路だけではなく、VCCOが比較的高い場合にはその高いVCCO印加回路部分に適用される。

【0048】次に、この第4実施例の動作説明を行う。

【0049】出力データがロウレベルになるべきとき、つまり、DO T=ロウレベル、DO B=ハイレベルのときは図16の回路は図19の実線のように変化する信号を形成するように動作する。

【0050】すなわち、まず、図示しない内部回路からの出力データ(すなわち出力回路への入力データ)DO T、DO Bがそれぞれロウレベル、ハイレベルに決ま

り、制御信号DO Eがハイレベルになると、それに応じて内部ノードN2がロウレベルになり、昇圧回路7(BST7)によって、NMOS2のゲートが結合されているノードN4がVCCOレベル以上のレベルに持ち上げられる。これによりVSSOに電位の浮きが生じても速度の低下は少なくできる。

【0051】出力データがハイレベルになるべきとき、つまり、DO T=ハイレベル、DO B=ロウレベルのときは図16の回路は図19の点線のように変化する信号を形成するように動作する。

【0052】すなわち、まず、図示しない内部回路からの出力データ(すなわち出力回路への入力データ)DO T、DO Bがそれぞれロウレベル、ハイレベルに決まり、制御信号DO Eがハイレベルになると、それに応じて内部ノードN1がロウレベルになり、昇圧回路6(BST6)によって、ゲートN3の電位もVSSOレベル以下のレベルに引き下げられる。これによりVCCO電位に降下が生じても速度の低下は少なくすることができる。

【0053】図20は本発明の第5実施例の回路図を示し、図21は図20の回路における制御信号と動作波形とを示している。なお、図20の回路では、図6の回路と同じ機能の部分に同一の名称を付している。

【0054】図20の出力回路の特徴は、今までのCMOS型の出力回路では用いられていなかったチップ内信号振幅(VCC-VSS)を大振幅(VCCO-VLL)へとレベル変換するレベル変換回路LEV1を設け、かかるレベル変換回路LEV1によってハイレベル出力用のMOSトランジスタのゲートに供給すべき信号を形成するようにしたこと、およびチップ内信号振幅(VCC-VSS)を大振幅(VHL-VSSO)へとレベル変換するレベル変換回路LEV2を設け、かかるレベル変換回路LEV2によってロウレベル出力用のMOSトランジスタのゲートに供給すべき信号を形成するようにしたことにある。

【0055】ここで、VLLはチップ内もしくはチップ外で発生した電圧源であり、VSS、VSSO以下のレベルを持つものとされる。また、VHLは同様にチップ内もしくはチップ外で発生した電圧源とされるものであるけれども、そのレベルはVLLと異なり、VCC以上もしくはVCCO以上のレベルを持つものとされる。

【0056】レベル変換回路LEV1は、PMOS1のゲートに供給する駆動信号(ノードN3の信号)のロウレベルを、すなわちPMOS1をオン状態にすべき駆動信号(N3)のレベルを、VLLによってVSS以下の増大されたレベルにするので、かかるPMOS1を十分にオン状態にする。PMOS1は、そのソースがVCCOレベルにされ、そのゲートがノードN3のレベルにされるので、そのゲート・ソース間に加わる実効駆動信号レベルは(VCCO)-(N3レベル)となる。このこ

とはPMOS 1の実効駆動信号レベルがVCCOの変動に応じて変動してしまうことを意味する。そこで、VCCOのレベル変動に関わらずにPMOS 1を十分に駆動するにはノードN3のロウレベルVSSレベルのようなレベルよりも更に低下させたレベルを持つVLLレベルにした方が良い。ノードN3のロウレベルの増大の程度は、明らかにVLLレベルに依存する。そこで、VCCのレベル変動やVCCOのレベル変動に関わらずに回路を所定の動作速度以上の動作速度にさせるには、VLLのレベルを、VSSに対してVCCもしくはVCCOのレベル変動と対応したレベルだけ負方向にシフトした値とすれば良い。

【0057】レベル変換回路LEV 1の詳細な回路構成は、図示しないが、図17の昇圧回路YST 6を部分変更したような回路から構成することもできる。例えば、図17の回路において、容量C1、PMOSB2、およびPMOSB3を省略するとともにノードB2にVLLを供給するようにする変更と、CMOS構成のインバータ回路INV B1の出力であるノードB1にソース電極が結合されNMOSB1のゲートにドレイン電極が結合されVSSOにゲートが結合された追加の第1PMOSを設ける変更と、ソースがノードB2に結合され、ゲートが出力端子OUTに結合され、かつドレインが上記NMOSB1のゲートと上記追加の第1PMOSのドレンに結合された追加の第1nMOSを設ける変更とを行えば良い。この変更によって図17の出力端子OUTからVLLレベルのロウレベルを持つ信号を出力させることができる。

【0058】図17の上記変更において、追加の第1PMOSは、いわばカットMOSトランジスタを構成し、インバータ回路INV B1の出力がVSSOレベルのようなロウレベルになったときそれに応じて自動的にオフ状態となり、NMOSB1のゲートの負電位レベルへの変化を可能とする。

【0059】追加の第1nMOSは、正帰還用のMOSトランジスタを構成し、NMOSB1がオフ状態にされるべきとき、出力OUTレベルの参照によって、NMOSB1のゲート電位をノードB2におけるVLLレベルに駆動する。

【0060】追加の第1PMOSと追加の第1nMOSとは、それらの組み合わせによって、ノードB1のロウレベル、すなわちVSSOレベルをVLLレベルにレベルシフトする一種のレベルシフト回路を構成する。

【0061】ここで、上述のように変更された図17の回路において、インバータ回路INV B1は、その入力端子INに加わる入力信号のレベル振幅がVCCレベルの比較的小さい振幅であっても、かかるインバータ回路INV B1の動作電源電圧がVCCレベルなら、VCC振幅レベルの入力信号に対して良好なCMOS回路動作を行うこととなる。この場合、インバータ回路INV B

1はその動作電源電圧がVCCレベルであることによつてVCC振幅レベルの出力信号をノードB1に出力することになる。この場合、図17のPMOSB1のソースに加わるVCCOとノードB1の信号のハイレベル(VCC)との差電圧がPMOSB1のしきい値電圧よりも小さいなら、ノードB1におけるVCC振幅レベルの信号によってもPMOSB1をオン、オフ駆動できることとなる。

【0062】VCCOとVCCとの電位差がPMOSB1のしきい値電圧よりも大きいなら図17のインバータ回路INV B1は、ゲート・ドレインが交差接続されがつソースが変換すべき電圧レベルとされた一対のPMOSと、かかる一対のPMOSのそれぞれのドレインとVSSOとの間に設けられVCC振幅レベルの相補入力信号によってそれぞれのゲートが相補駆動される一対のnMOSとを含むような公知のCMOS構成のレベル変換回路に変更することができる。

【0063】レベル変換回路LEV 2は、NMOS2のゲートに供給する駆動信号(N4)のハイレベル、すなわちNMOS2をオン状態にすべき駆動信号(N4)のレベルを、VHLによってVCCもしくはVCCO以上に増大されたレベルにするので、かかるNMOS2を十分にオン状態にする。NMOS2のゲート・ソース間に加わる実効的な駆動信号レベルは、VSS電位の浮きが生することによって明らかに減少する。そこで、VSSのレベル変動やVSSOの電位浮きに関わらずに回路を所定の動作速度以上の動作速度にさせるには、VHLのレベルを、VCCもしくはVCCOレベルに対してVSSもしくはVSSOの電位浮きと対応したレベルだけ正方向にシフトした値とすれば良い。

【0064】レベル変換回路LEV 2は、その詳細な回路構成は図示しないけれども、カットMOSトランジスタと正帰還MOSトランジスタとを使用するレベルシフト回路の利用によってそれを構成できる。例えば、図18の回路からインバータ回路INV B1、容量C1、NMOSB2、NMOSB3を除去し、代わりにノードB2にVHLを供給するようにする変更と、入力端子INとPMOSB1のゲートとの間にそのソースドレイン通路が設けられ、かつそのゲート電極がVCCもしくはVCCOに結合される追加の第2nMOSを設ける変更と、ノードB2とPMOSB1のゲート電極との間にそのソース・ドレイン通路が設けられ、かつそのゲート電極が出力端子OUTに結合された追加の第2PMOSを設ける変更とによってそれを構成することができる。

【0065】レベル変換回路LEV 2は、レベル変換回路LEV 1のような正レベル出力と負レベル出力の両方のレベルの出力が前提となる回路と異なり、一方の極性の出力を形成すれば良いので、その回路構成は比較的簡潔にできる。

【0066】VLL、VHLは、チップ内の専用回路の

ような別の共通回路で発生させたり、又はチップ外部の共通回路で発生させた方が、出力回路それ自身の内部でのチャージポンプ動作によるダイナミック動作によって発生させる場合よりも精度良くそれぞれの電圧値を決めることができ、またすばやくノードN3、N4に駆動電圧を供給できる。

【0067】次に、図20の実施例の動作説明を行う。
【0068】出力データがロウレベルになるべきとき、つまり入力信号DOT=ロウレベル、DOB=ハイレベルのときは、図20の回路は図21の実線のように変化する信号を形成するように動作する。

【0069】すなわち、まず出力データDOT、DOBが、それぞれロウレベル、ハイレベルに決まり、制御信号DOEがハイレベルになると、それに応じて内部ノードN2がロウレベルになり、レベル変換回路LEV2により、NMOS2のゲートが結合されているノードN4がVCCO以上の電圧であるVHLに持ち上げられる。これにより、VSSOに浮きが生じても速度の低下は少なくできる。

【0070】出力データがハイレベルになるべきとき、つまりDOT=ハイレベル、DOB=ロウレベルのときは、回路は図21の点線のように動作する。

【0071】すなわち、まず出力データDOT、DOBが、それぞれハイレベル、ロウレベルに決まり、制御信号DOEがハイレベルになると、内部ノードN1がロウレベルになり、レベル変換回路LEV1により、ゲートN3がVSSO以下の電圧であるVLLに下げられる。これにより、VCCOに電圧降下が生じても速度の低下は少なくできる。

【0072】図22は本発明の第6の実施例の回路図を示し、図23は図22の回路の制御信号と動作波形を示している。なお、図22の回路では、図6の回路と同じ機能の回路部分には図6のそれと同じ符号を付している。

【0073】図22の構成の特徴は、今までのCMOS型の出力回路では用いられていなかったチップ内信号振幅(VCC-VSS)を大振幅(VHL-VLL)へとレベル変換するレベル変換回路LEV3を設け、かかるレベル変換回路LEV3の出力(ノードN3)をハイレベル出力用のMOSトランジスタすなわちPMOS1のゲートに供給すべき駆動信号とすること、および、チップ内信号振幅(VCC-VSS)を大振幅(VHL-VLL)へとレベル変換するレベル変換回路LEV4を設け、かかるレベル変換回路LEV4の出力(ノードN3)をロウレベル出力用のMOSトランジスタすなわちNMOS2のゲートに供給すべき駆動信号とすることにある。

【0074】レベル変換回路LEV3は、その具体回路構成は図示しないが、前述の図20の実施例で説明したような図17、図18の変更と同様なレベルシフト技術

によってそれを構成できる。例えば、図17の回路をレベル変換回路LEV3に向けて変更するとするなら、NMOSB1に関連しては、前述と同様なMOSからなるカットMOSトランジスタとnMOSからなる正帰還MOSトランジスタとを追加する変更を行い、PMOSB1に関連しては、nMOSからなるカットMOSトランジスタとpMOSからなる正帰還MOSトランジスタとを追加する変更を行えばよい。

【0075】この図17の回路の変更構成においては、VHLからVLLまでの振幅のレベル変換信号を得るために、PMOSB1のソースにVHLを印可し、ノードB2にVLLを印可することとなる。

【0076】レベル変換回路LEV4も、レベル変換回路LEV3と同様な構成にできることは言うまでもない。

【0077】レベル変換回路LEV3により、ノードN3をハイレベル出力時のVCCOの低下分に見合った分以上に下げるができるようになり、それに応じてVCCOの低下にかかわらずにPMOS1を強く導通させることができるようになる。その結果として動作速度の低下を低減できる。

【0078】レベル変換回路LEV4により、ノードN4をロウレベル出力時のVSSOの浮き上がり分に見合った分以上に上げができるようになり、それに応じてVSSOの浮き上がりにかかわらずにNMOS2を強く導通させることができようになる。その結果として動作速度の低下を低減できる。

【0079】また、制御信号DOEのロウレベルによって指示される出力回路の非動作時には、ノードN3がVCCO以上の電位にされるので、PMOS1が比較的小さいしきい値電圧特性を持つようになると問題となるいわゆるサブスレッショルド電流にかかわらずに、PMOS1を確実にオフ状態にすることができる。同様に、ノードN4がVSSO以下の電位にされるので、NMOS2も確実にオフ状態にすることができる。このように、PMOS1、NMOS2にしきい値電圧VTHの低いMOSトランジスタを用いる場合であっても、回路システムの待機時のような、出力回路の非動作状態において回路の消費電力を低減できる。

【0080】以下に図22の実施例の回路の動作説明を行う。

【0081】出力データがロウレベルになるべきとき、つまり、DOT=ロウレベル、DOB=ハイレベルのときは、図22の回路は、図23の実線の様に変化する信号を形成するように動作する。

【0082】待機時すなわちデータ出力時以外では、制御信号DOEはロウレベルであり、内部ノードN1、N2はハイレベルである。このとき、PMOS1のゲートにつながるノードN3は、レベル変換回路LEV3によってVCCO以上のVHLレベルになっており、NMOS2

S2のゲートにつながるノードN4は、レベル変換回路LEV4によってVSSO以下のVLLになっている。

【0083】これによりPMOS1、NMOS2は確実にオフ状態にされる。

【0084】次に、図示しない内部回路の出力データであるデータDOT、DOBのレベルが図23のようにロウレベル、ハイレベルに確定したタイミングにおいて、制御信号DO-Eがハイレベルになると、内部ノードN2がロウレベルになる。それに応じて、レベル変換回路LEV4によって、NMOS2のゲート（ノードN4）がVSSO以下の電位であるVLLからVHLの電位に持ち上げられる。これにより、VSSOにい浮きが生じても速度の低下は少なくできる。

【0085】出力データがハイレベルになるべき既、つまり、DOT=ハイレベル、DOB=ロウレベルのときは、回路は図23の点線の様な信号を形成するように動作する。

【0086】すなわち、まず、入力データDOT、DOBが、ハイレベル、ロウレベルに決まり、その後、制御信号DO-Eがハイレベルになると、内部ノードN1がロウレベルになる。これに応じて、レベル変換回路LEV3によってPMOS1のゲート（ノードN3）がVSSO以下の電位であるVLLレベルに電位降下される。これにより、VCCOに電位降下が生じても、速度の低下は少なくできる。

【0087】図24、図25は本発明の第5実施例である半導体チップの主要部断面を示している。図24は、いわゆる二重ウエル構造のCMOS半導体チップの断面を模式的に示しており、図25は、いわゆる三重ウエル構造のCMOS半導体チップの断面を模式的に示している。なお、図24、図25では、前述の実施例と同じ機能の部分には同じ符号を付している。

【0088】図24、図25において、n+はN型拡散層、p+はP型拡散層、n-はN型ウエル領域、p-はP型ウエル領域、FGはMOSトランジスタのゲート電極、VBBは半導体基板に加えるべき基板電源である。

【0089】図24の二重ウエル構造のCMOS半導体チップにおいては、必要となる複数のnMOSは、共通のP型ウエル領域p-に形成され、共通に基板電位VBBが与えられる。この構造は、複数のnMOSの基板ゲート（すなわちP型ウエル領域p-）の電位が同じになる。のために、図17のNMOSB1のように基板ゲートをノードB2に接続するような回路接続はできない。二重ウエル構造をもつCMOS半導体デバイス構造であっても、図17のNMOSB1の基板ゲートを同図の様にノードB2n接続する代わりに、回路の共通の最低電位点VBBに接続するような変更は可能である。しかし、その場合は、NMOSB1の基板ゲートにバイアス電圧VBBが加わることによりかかるNMOSB1の実質上のしきい値電圧が増大し、NMOSB1を十分

に低いオン抵抗を持つように駆動することが難しくなってくる。

【0090】図25の三重ウエル構造の場合には、複数のnMOSの基板ゲートは、互いに電気的に分離することが可能である。そのため、図17のNMOSB1のような接続が可能となる。NMOSB1は、その基板ゲートへのバイアス電圧の印可が回避されることにより、バックバイアス効果によるしきい値電圧VTHを低くできる。このため、図17の回路においてはノードB2からノードN3に能率良く充放電させることができる。

【0091】

【発明の効果】以上の中実施例で述べたように本発明によりVSSOの電位浮きによる出力回路の動作の遅れを防ぐことが出来、その結果として回路を高速化できる。

【図面の簡単な説明】

【図1】本発明の第1実施例の回路図である。

【図2】図1の回路における各種信号の信号波形図である。

【図3】本発明の第2実施例の回路図である。

【図4】図3の昇圧回路の具体的回路図である。

【図5】図3の回路における各種信号の信号波形図である。

【図6】本発明に先行して検討した出力回路の回路図である。

【図7】他の昇圧回路の回路図である。

【図8】各種信号の信号波形図である。

【図9】タビット並列出力構成のDRAMの出力回路の配置図である。

【図10】図6の回路の各種信号の信号波形図である。

【図11】本発明の動作波形図である。

【図12】本発明の第3実施例の出力回路の回路図である。

【図13】図12の回路における昇圧回路BST4の具体的回路を示す回路図である。

【図14】図12の回路における昇圧回路BST5の具体的回路を示す回路図である。

【図15】図12の回路の動作波形図である。

【図16】本発明の第4実施例の出力回路の回路図である。

【図17】図16の回路における昇圧回路BST6の具体的回路を示す回路図である。

【図18】図16の回路における昇圧回路BST7の具体的回路を示す回路図である。

【図19】図16の回路における昇圧回路BST7の具体的回路を示す回路図である。

【図20】本発明の第5実施例の出力回路の回路図である。

【図21】図20の回路の動作波形図である。

【図22】本発明の第5実施例の出力回路の回路図である。

【図23】図22の回路の動作波形図である。

【図24】二重ウエル構造を持つCMOS半導体デバイスの断面図である。

【図25】三重ウエル構造を持つCMOS半導体デバイスの断面図である。

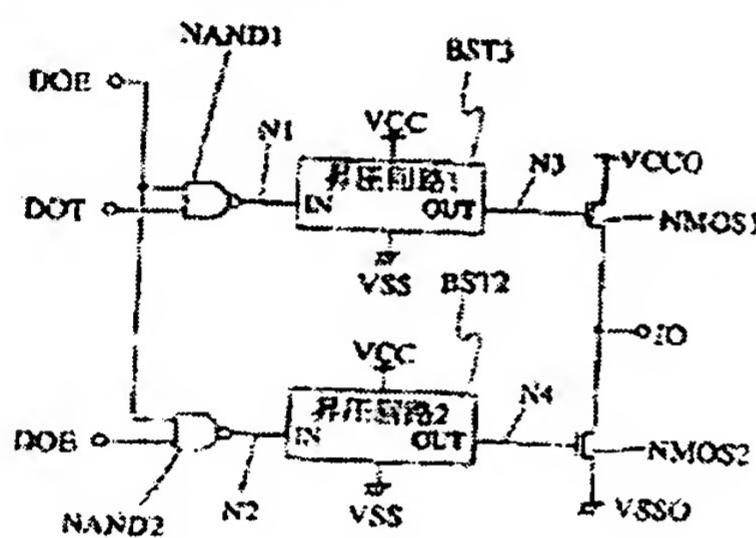
【符号の説明】

V_{CC} ・・・外部又は内部の電源接続点、 V_{CCO} ・・・外部電源電圧接続点、 V_{SS} ・・・グランド電位接続点、 V_S 、 S_O ・・・外部のグランド電位接続点、 V_{LL} 、 V_{SSO} より低い外部又は内部の電源電圧、 V_{HL} 、 V_{CCO} より高い外部又は内部の電源電圧、厚膜TOX仕様MOS、S・・・標準のMOSトランジスタよりゲート絶縁膜TO

Xを厚くすることによりゲート耐圧を高いたMOSトランジスタ、n+・・・N型拡散層、p+・・・P型拡散層、n-・・・N型ウエル領域、p-・・・P型ウエル領域、FG・・・MOSトランジスタのゲート電極、DOE、DOT、DOB・・・制御信号、NAND1、NAND2・・・NAND回路、INV1、INV2B1・・・インバータ回路、NMOS1、NMOS2、NMOSB1、NMOSB2、NMOSB3・・・nチャンネル型MOSトランジスタ、PMOS1、PMOSB1、PMOSB2・・・pチャンネル型MOSトランジスタ、C1ブースト容量もしくはチャージポンプ容量、N1、N2、N3、N4、B1、B2・・・内部ノード、IO・・・出力端子、IN・・・昇圧回路の入力端子、OUT・・・昇圧回路の出力端子、VTH・・・MOSトランジスタのしきい値電圧。

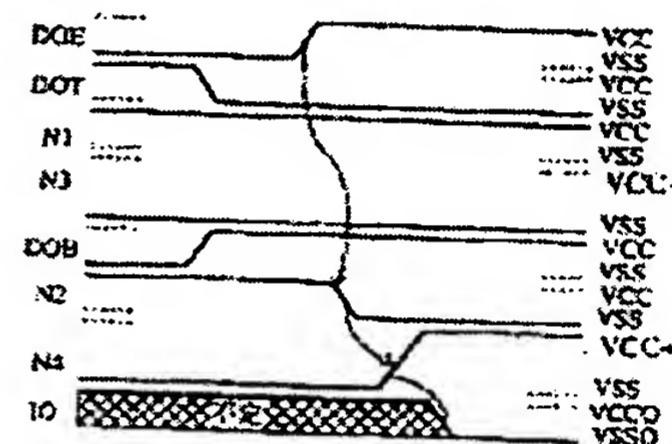
【図1】

図1



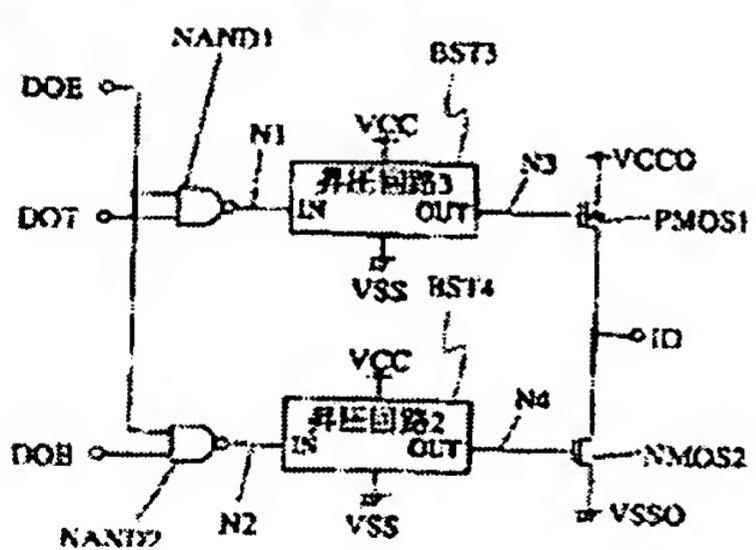
【図2】

図2



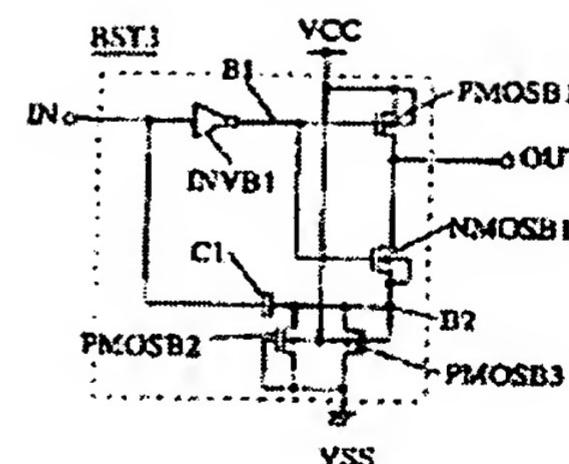
【図3】

図3



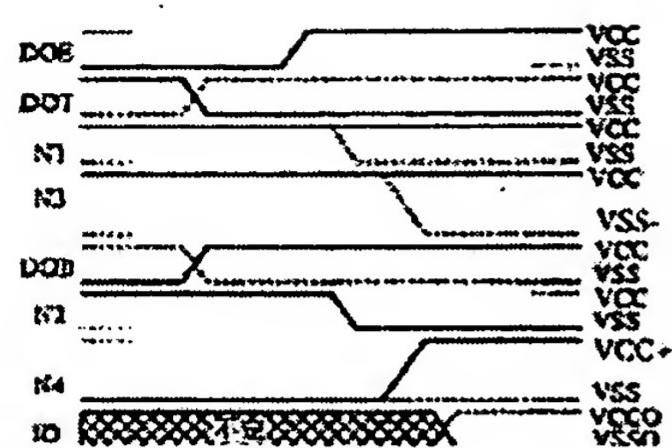
【図4】

図4



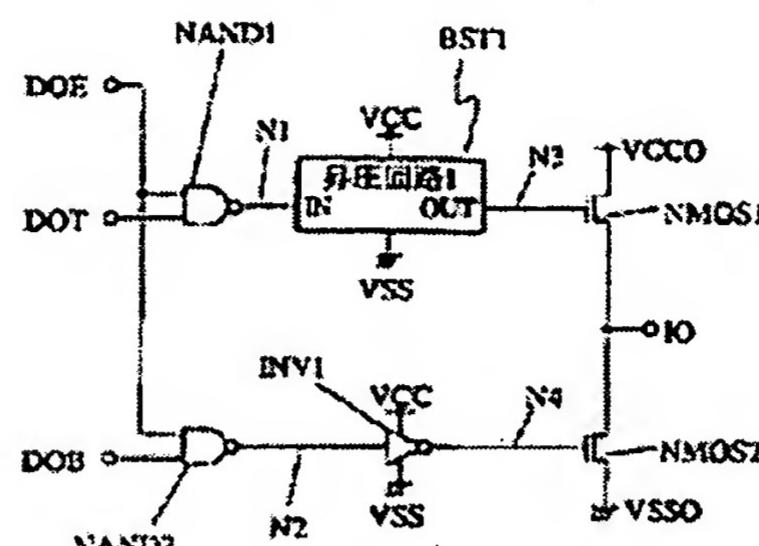
[図 5]

図 5



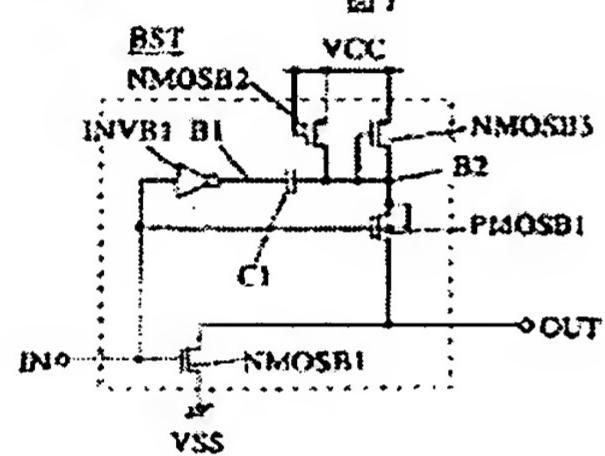
[図 6]

図 6



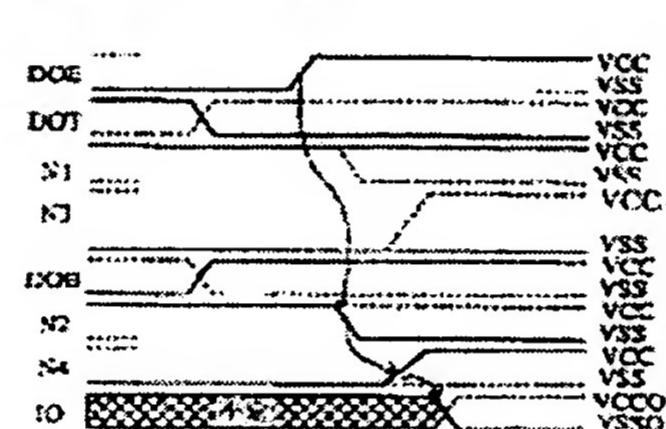
[図 7]

図 7



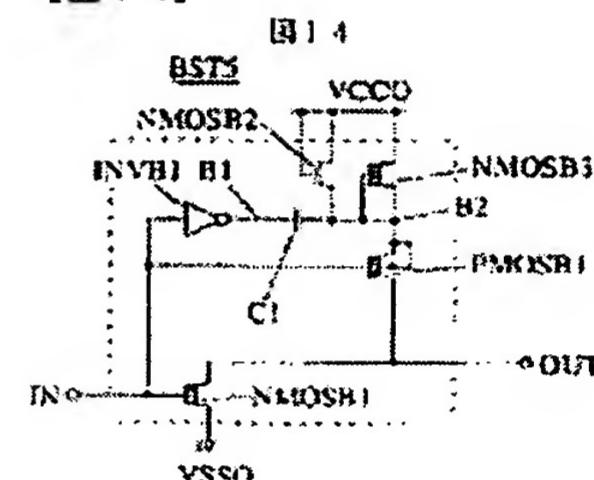
[図 8]

図 8



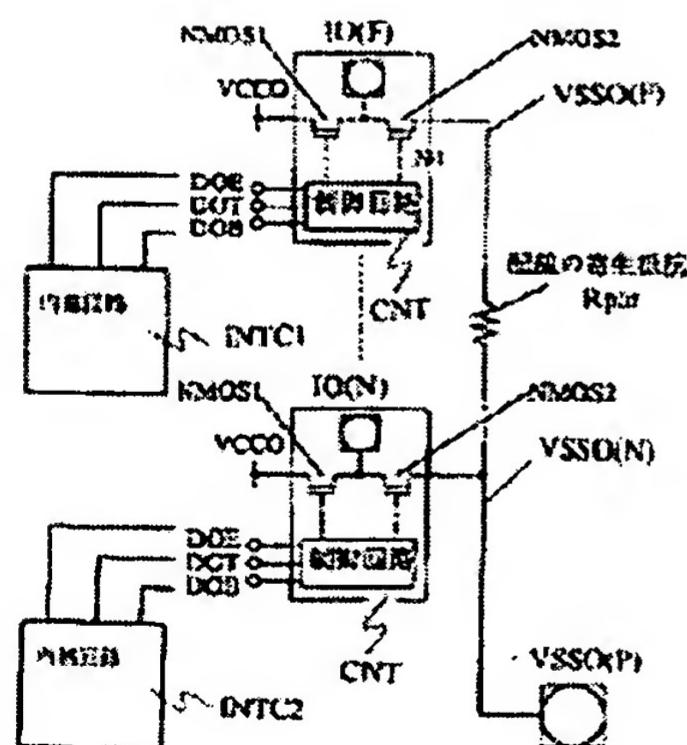
[図 14]

図 14



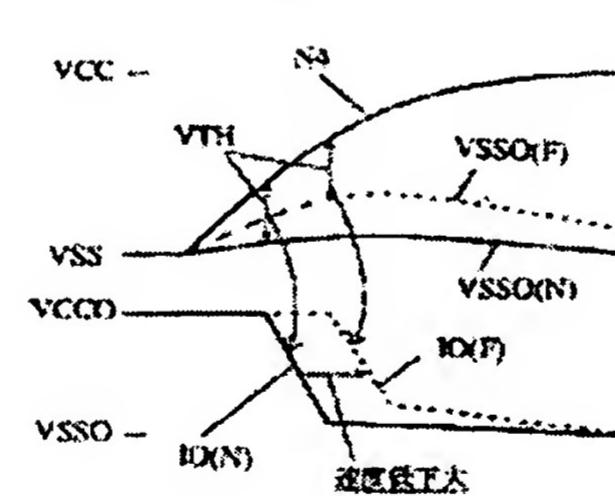
[図 9]

図 9



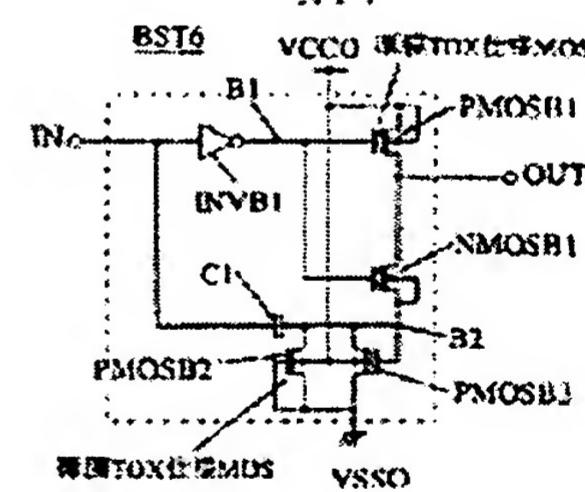
[図 10]

図 10



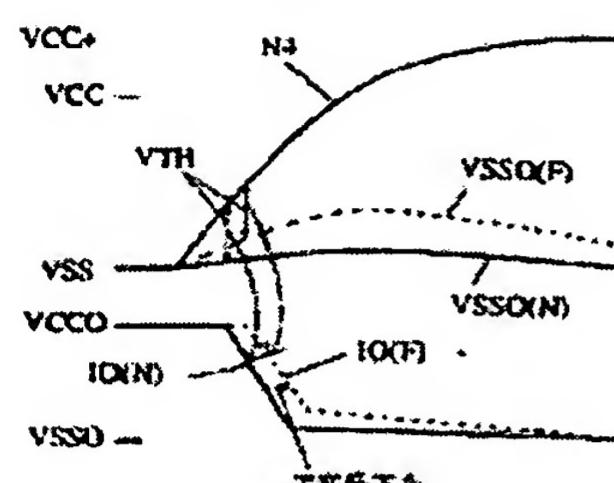
[図 17]

図 17



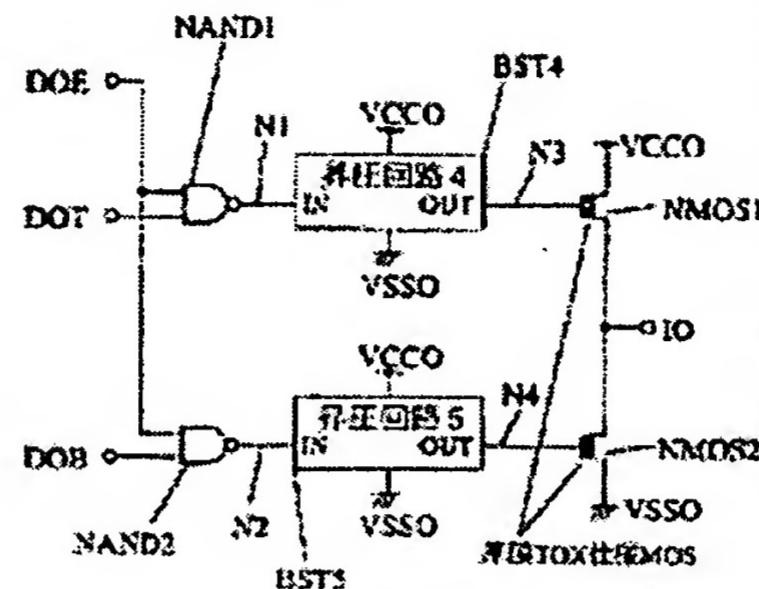
[図 1.1]

図 1.1



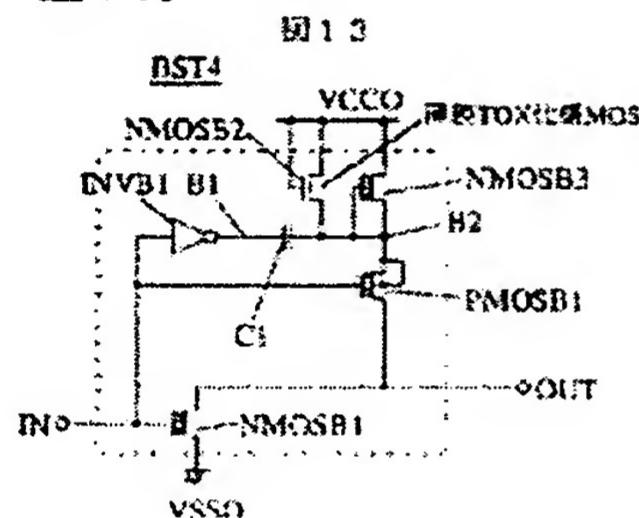
[図 1.2]

図 1.2



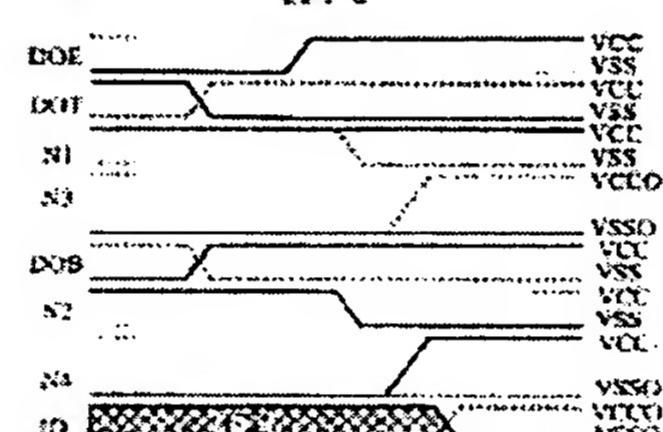
[図 1.3]

図 1.3



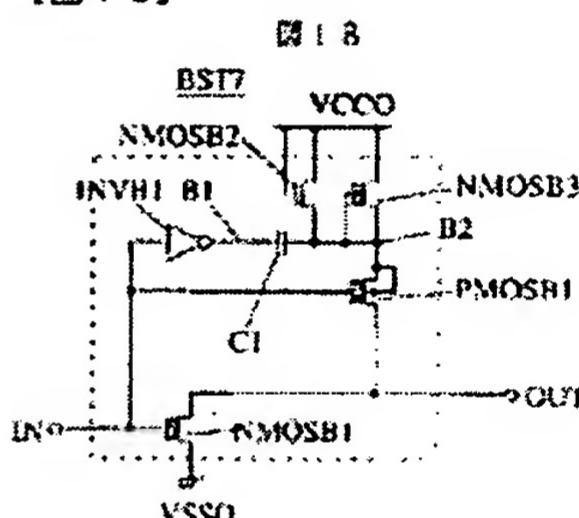
[図 1.5]

図 1.5



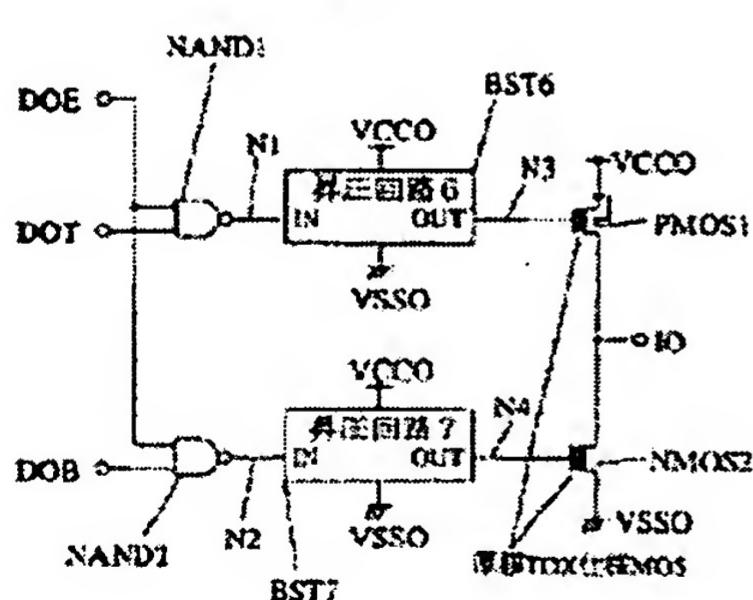
[図 1.8]

図 1.8



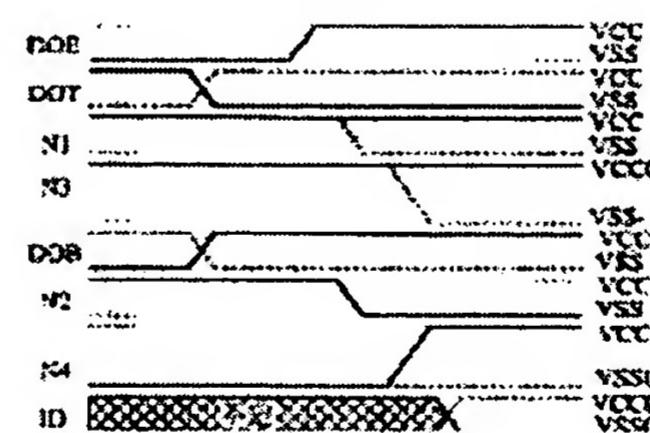
[図 1.6]

図 1.6



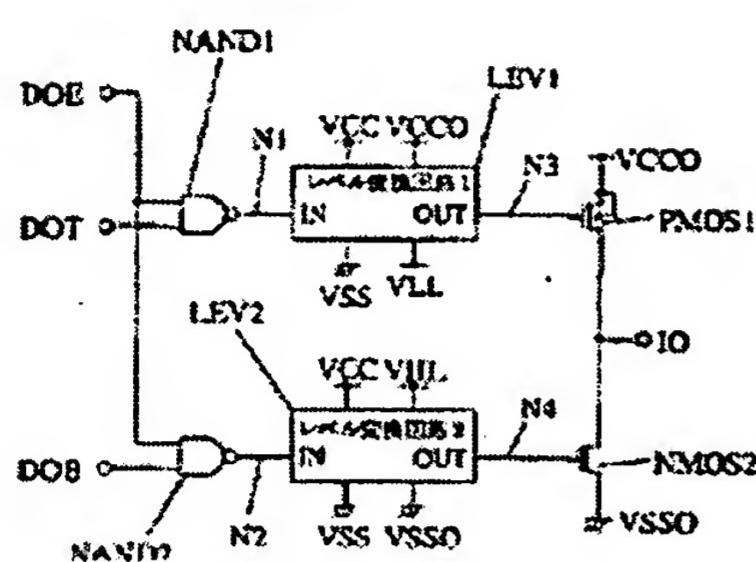
[図 1.9]

図 1.9



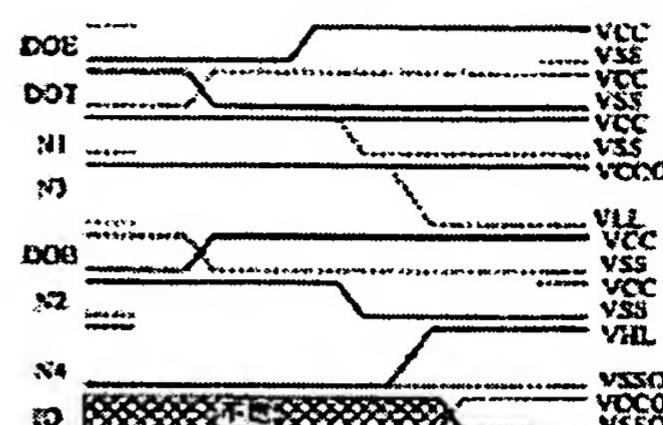
【図20】

図20



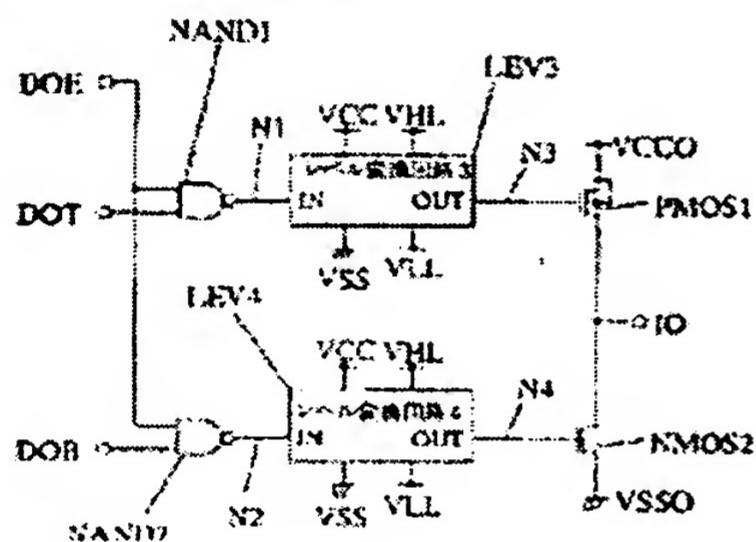
【図21】

図21



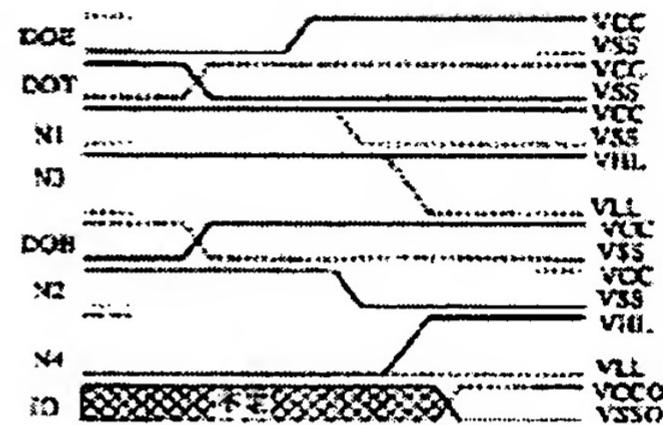
【図22】

図22



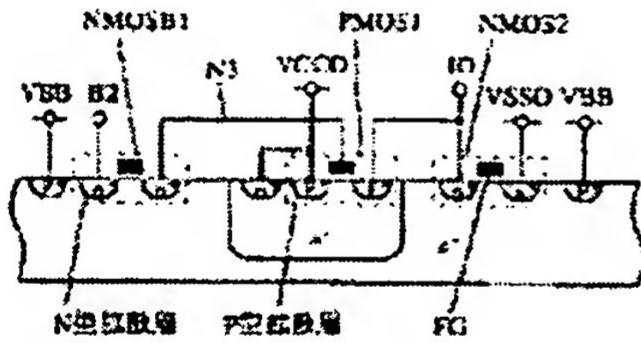
【図23】

図23



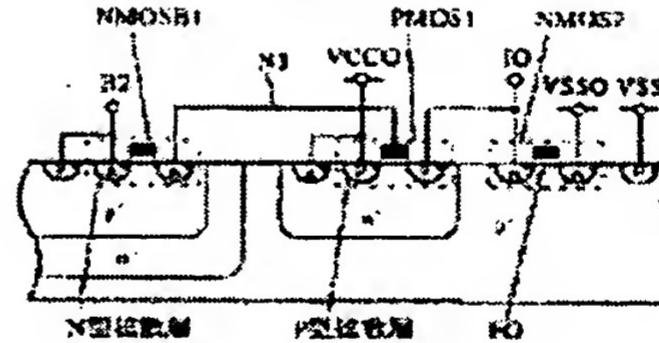
【図24】

図24



【図25】

図25



フロントページの続き

(72)発明者 中込 優延

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内